Міністерство освіти і науки України Національний технічний університет України

«Київський політехнічний інститут» Кафедра КЕОА

# Лабораторна робота №1

**з курсу: «Апаратні прискорювачі обчислень на мікросхемах програмованої логіки»**

Виконав: студент ІII-го курсу

ФЕЛ

група ДК-02

Чіжмодій Іван

01.11.2022

Київ-2022

# Хід роботи

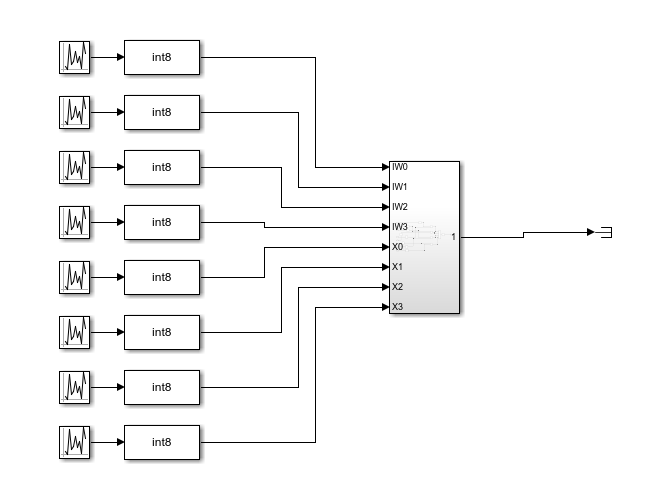
1. **В Simulink реалізувати підсистему, що розраховує функцію:**

Y = W0\*X0 + W1\*X1 + W2\*X2 + W3\*X3

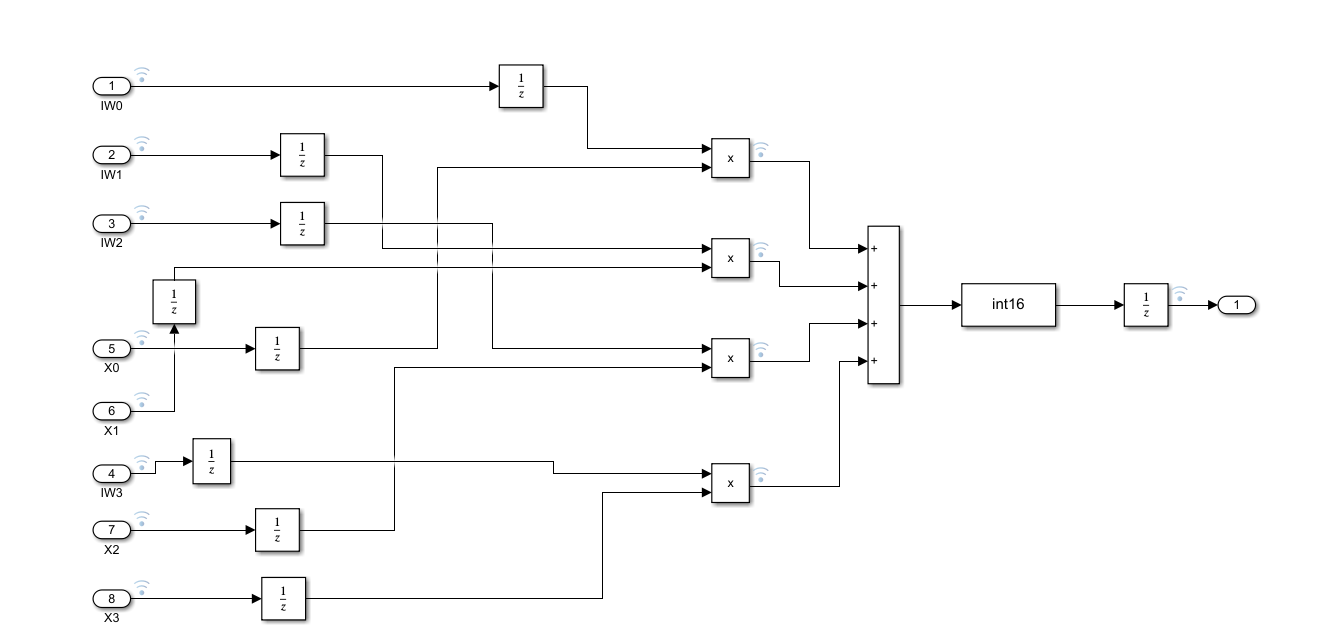
Типи даних входів: int8 Тип даних виходу: int16

На входах і виході поставити регістри (блок затримки на 1 такт)

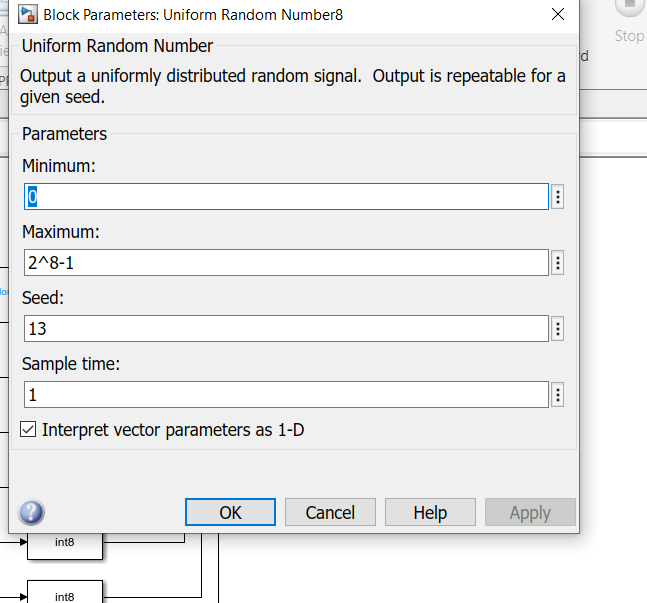
Схема:



Блок Subsystem:



Налаштування одного з блоків “Uniform Random Number” (seed = 13, згідно мого варіанту, надалі збільшую значення кожного на 1) інші параметри вказані, як у методичних матеріалах:



# В логічному аналазаторі переглянути дані на входах і на виході створеної підсистеми у знаковому десятковому поданні (форматі).

Приклад результату:

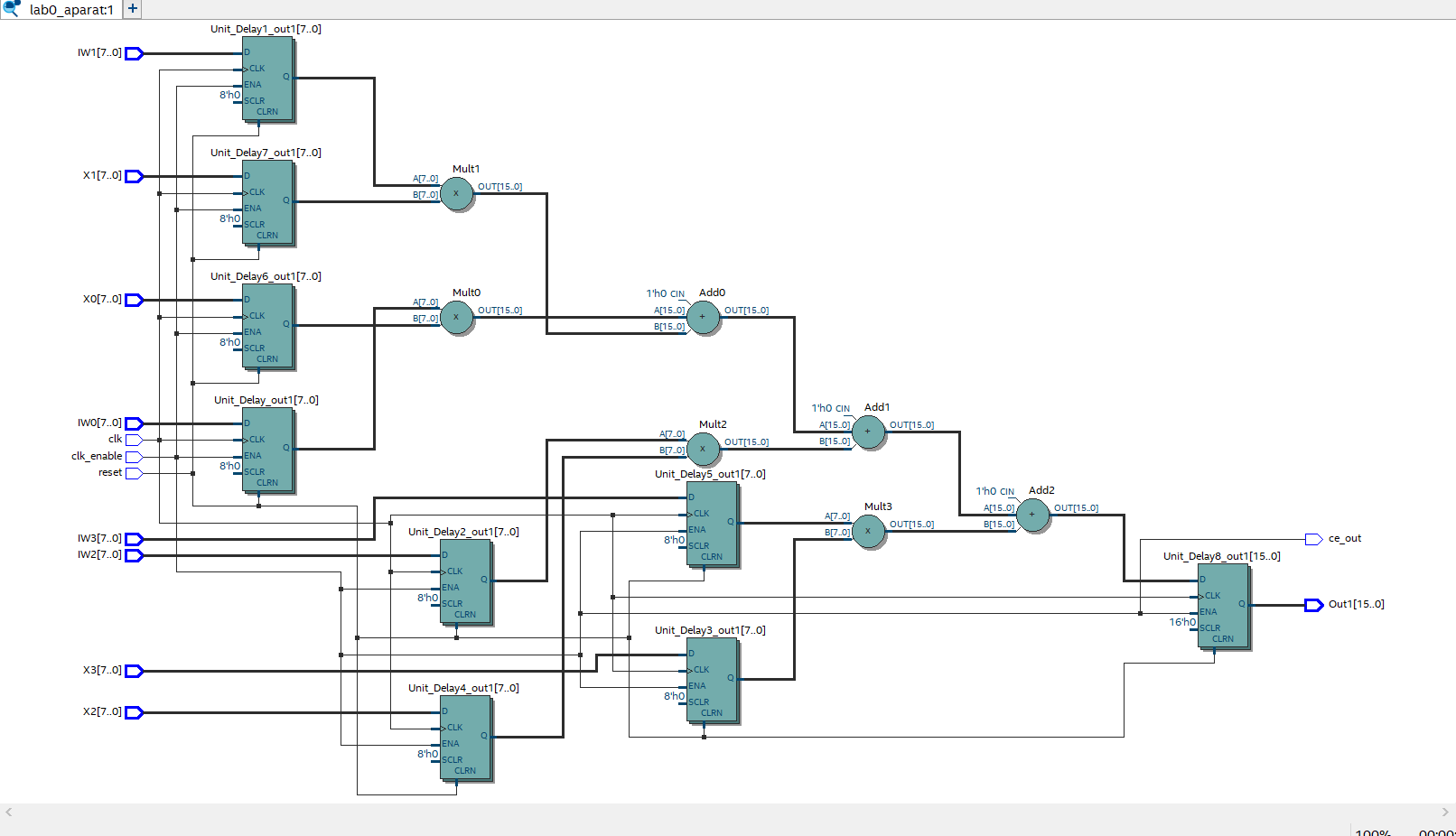


Перевірка:

(-86 \* -73) + (46 \* 59) + (-80\*-66) + (52) \* (65) = 6278 + 2714 +5280 +3380= 17652

як і на скріншоті результату.

# Додати у звіт згенерований код на Verilog та результат синтезу згенерованого коду в Quartus для створеної підсистеми (звіт по апаратним витратам, результат виклику RTL Viewer).

+++

**Висновок**

На цій лабораторній роботі я проглянувши відео-знайомство з середовищем Matlab створив підсистему і перевірив її на справність, також просимулювавши її в Matlab і синтезувавши її в Quartus Prime можу стверджувати про правильність виконання.